

[Date of requesting appeal against examiner's decision of rejection] 19.09.1996

[Date of extinction of right]

(11)特許出願公開番号

特開平7-38479

(43)公開日 平成7年(1995)2月7日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H04B 7/08

D 4229-5K

H03H 7/01

G 8321-5 J

17/00

A 8842-5 J

17/02

G 8842-5 J

H04L 25/03

C 9199-5K

審査請求 有 請求項の数2 FD (全 9 頁)

(21)出願番号

特願平5-197971

(22) 出願日

平成5年(1993)7月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 發明者 辻本 一郎

東京都港区芝5丁目7番1号 日本電気株式会社内

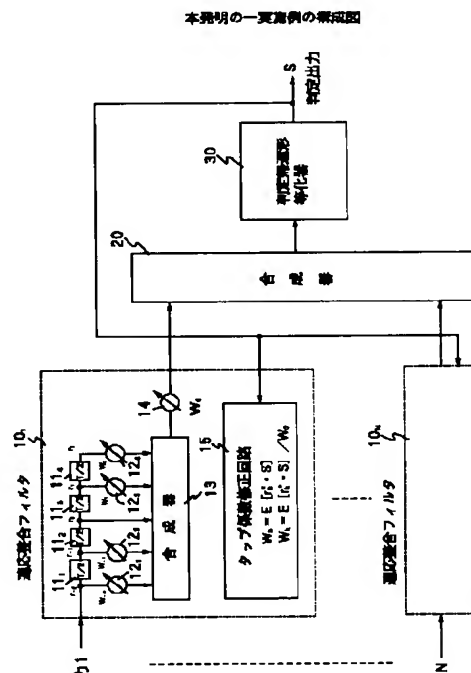
(74) 代理人 弁理士 松浦 兼行

(54) 【発明の名称】 適応受信機

(57) 【要約】

【目的】 本発明は複数の適応整合フィルタによるダイバーシチ合成と判定帰還形等化器による符号間干渉の除去を行う適応受信機に関し、クロック位相ずれが発生したとしても、安定した整合フィルタリングができる適応受信機を実現することを目的とする。

【構成】 適応受信機は別々に受信された入力信号が供給される複数の適応整合フィルタ $10_1 \sim 10_N$ により信号対雑音電力比を最大化した信号を、合成器 20 を通して判定帰還形等化器 30 に入力し、判定帰還形等化器 30 により符号間干渉の除去された判定データ S を取り出すと共に、判定データ S により適応整合フィルタ $10_1 \sim 10_N$ のタップ係数を修正する。適応整合フィルタ $10_1 \sim 10_N$ のそれぞれは、基準タップ複素乗算器 14 が合成器 13 の出力段に設けられている。中央タップの信号 r_0 は直接合成器 13 に入力される。



【特許請求の範囲】

【請求項 1】 別々に受信された入力信号が供給される複数の適応整合フィルタにより信号対雑音電力比を最大化した信号を、合成器を通して判定帰還形等化器に入力し、該判定帰還形等化器により符号間干渉の除去された判定データを取り出すと共に、該判定データにより前記複数の適応整合フィルタのタップ係数を修正する構成の適応受信機において、

前記複数の適応整合フィルタのそれぞれを、入力信号を $T/2$ (ただし、 T は該入力信号のシンボル周期) 単位で遅延して互いに異なる遅延時間の複数の遅延信号を出力する遅延手段と、該遅延手段からの複数の遅延信号及び前記入力信号のうち、遅延時間が中央値である基準タップの遅延信号を除く他の遅延信号と前記入力信号に対し、それぞれ対応する第 1 のタップ係数を別々に乗ずる第 1 の乗算手段と、該第 1 の乗算手段の出力信号及び前記基準タップの遅延信号をそれぞれ合成する合成手段と、該合成手段の出力信号に対して前記基準タップの遅延信号に乗ずるべき第 2 のタップ係数を乗じて前記合成器へ出力する第 2 の乗算手段と、前記判定データと前記複数の遅延信号との相関演算により前記第 1 及び第 2 のタップ係数を逐次算出するタップ係数修正回路とを有する構成としたことを特徴とする適応受信機。

【請求項 2】 前記タップ係数修正回路は、前記遅延手段によるタップ位置 k (ただし、 k は 0 以外の正又は負の整数) の信号 r_k に対して

$$W_k = E [r_k^* \cdot S] / W_0$$

(ただし、上式中、 $E []$ は時間平均処理、 $*$ は複素共役、 S は前記判定データ、 W_0 は前記第 2 のタップ係数を示す。) なる式に基づき前記第 1 のタップ係数 W_k を求め、

$$W_0 = E [r_0^* \cdot S]$$

(ただし、上式中、 r_0 は基準タップの遅延信号) なる式に基づき前記第 2 のタップ係数 W_0 を求めることを特徴とする適応受信機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は適応受信機に係り、特に複数の適応整合フィルタによるダイバーシチ合成と判定帰還形等化器による符号間干渉の除去を行う適応受信機に関する。

【0002】

【従来の技術】 従来より、複数の適応整合フィルタによるダイバーシチ合成と判定帰還形等化器による符号間干渉の除去を行う適応受信機が知られている (渡辺孝次郎: "マルチパス伝送路における適応受信方式"、電子通信学会、通信方式研究会、1979年2月(CS78

く、 N 個の適応整合フィルタ (AMF) $40_1 \sim 40_N$ と、これら N 個の適応整合フィルタ $40_1 \sim 40_N$ の出力信号をそれぞれ合成する合成器 20 と、合成器 20 の出力合成信号が入力される判定帰還形等化器 (DFE) 30 とよりなり、判定帰還形等化器 30 の出力信号により適応整合フィルタ $40_1 \sim 40_N$ のタップ係数を制御する構成とされている。

【0003】 この適応受信機は、電力制限系のマルチパス回線にて最適受信を行うもので、各ダイバーシチブランチの適応整合フィルタ $40_1 \sim 40_N$ により、ベースバンド入力信号の信号対雑音電力比 (SN 比) を最大化した後、合成器で最大比合成することにより信号強化を行い、合成器 20 によるダイバーシチ合成後の残留符号間干渉を判定帰還形等化器 30 により除去することができるため、厳しいマルチパスフェージング回線でのデジタル伝送を可能とする。この適応受信機は、典型的なマルチパス回線となる対流圏散乱通信で既に実用化されている。

【0004】 この適応受信機の要部をなす適応整合フィルタ $40_1 \sim 40_N$ はそれぞれ同一構成で、図 2 に示す如く縦続接続された、各々遅延時間が $T/2$ (T はシンボル周期) の遅延素子 $41_1 \sim 41_4$ と、これら遅延素子 $41_1 \sim 41_4$ の入力信号が分岐して入力される複素乗算器 $42_1 \sim 42_4$ 及び遅延素子 41_1 の出力信号が入力される複素乗算器 42_5 と、これら複素乗算器 $42_1 \sim 42_5$ の出力信号をそれぞれ合成する合成器 43 と、タップ係数修正回路 44 とより構成されている。

【0005】 次に、この適応整合フィルタ $40_1 \sim 40_N$ の動作について、図 3 と共に説明する。同図中、図 2 と同一構成部分には同一符号を付してある。図 3 において、41 は前記遅延素子 $41_1 \sim 41_4$ に相当する遅延素子、42 は前記複素乗算器 $42_1 \sim 42_4$ に相当する複素乗算器である。また、図 3 (A) は伝送路インパルス応答の一例、同図 (B) は適応整合フィルタのタップ係数分布の一例、同図 (C) は適応整合フィルタ出力における伝送系インパルス応答の一例、同図 (D) は適応整合フィルタの基準タップがシフトした場合の適応整合フィルタのタップ係数分布の一例、同図 (E) は前記基準タップがシフトした場合の適応整合フィルタ出力における伝送系インパルス応答の一例をそれぞれ示す。

【0006】 いま、伝送路のインパルス応答が図 3

(A) に示すものであるとすると、この場合の遅延素子 41、複素乗算器 42 及び合成器 43 から構成されるトランスバーサルフィルタ、すなわち適応整合フィルタは、同図 (A) のインパルス応答の時間反転複素共役な応答である同図 (B) に示すタップ係数分布を推定する。この複素共役時間反転の応答は、図 3 (A) のインパルス応答の $T/2$ 間隔のサンプリング値を h_{-2} 、 h_{-1} 、 h_0 、 h_1 、 h_2 とおき、同様に、適応整合フィ

同図 (B) に示すように、 W_{-2} 、 W_{-1} 、 W_0 、 W_1 、 W_2 とすると、次式で表される。

$$\begin{aligned} W_{-2} &= h_2^* & (1) \\ W_{-1} &= h_1^* & (2) \\ W_0 &= h_0^* & (3) \\ W_1 &= h_{-1}^* & (4) \\ W_2 &= h_{-2}^* & (5) \end{aligned}$$

上式において、*は複素共役を表す。また、伝送路インパルス応答の主応答は、時刻 $t=0$ の h_0 であり、エネルギーが図3 (A) に示すように、最大となっている。これに対応する適応整合フィルタ応答は、図3 (B) の W_0 であり、これは適応整合フィルタのタップ係数として、複数の複素乗算器42のうち中央の複素乗算器 (図2の42₃) で乗じられる。この中央のタップは、インパルス応答の基準タイミングとなるため、基準タップと呼ばれる。同様に、他のサンプリング値 W_i ($i=-2, -1, 1, 2$) も、複数の複素乗算器42のうち対応する順番の複素乗算器 (図2の42₁) でタップ係数として乗じられる。

【0008】このように、入力伝送路のインパルス応答 (図3 (A)) に時間反転複素共役な応答 (図3 (B)) を畳み込むことを通信理論では整合フィルタリングと呼び、適応整合フィルタ出力でのインパルス応答は、図3 (C) に示すように対称な形状となる。すなわち、時間分散したインパルス応答 (図3 (A)) が基準時刻 ($t=0$) に収束し、信号強化が行われる。これが適応整合フィルタによるSN比の最大化動作である。

【0009】整合フィルタリングでの第1のポイント

$$r_{-2} = \dots + h_2 \cdot S_0 + h_0 \cdot S_1 + h_{-2} \cdot S_2 + \dots \quad (6)$$

$$r_{-1} = \dots + h_3 \cdot S_{-1} + h_1 \cdot S_0 + h_{-1} \cdot S_1 + \dots \quad (7)$$

$$r_0 = \dots + h_2 \cdot S_{-1} + h_0 \cdot S_0 + h_{-2} \cdot S_1 + \dots \quad (8)$$

$$r_1 = \dots + h_1 \cdot S_{-1} + h_{-1} \cdot S_0 + h_{-3} \cdot S_1 + \dots \quad (9)$$

$$r_2 = \dots + h_2 \cdot S_{-2} + h_0 \cdot S_{-1} + h_{-2} \cdot S_0 + \dots \quad (10)$$

図2のタップ係数修正回路44は、上記整合フィルタ・タップ上の受信信号 r_i ($i=-2, -1, 0, 1, 2$) と判定帰還等化器30からの判定データ信号 S と相関演算を行い、得られた相関値を該当するタップのタ

$$W_i = E [r_i^* \cdot S]$$

ここで、 $E []$ は時間平均 (期待値) 処理を示し、*は複素共役を示す。また、判定帰還等化器30からの判定データ信号 S が時刻 $t=0$ の S_0 のときには、上記

$$W_i = E [r_i^* \cdot S_0]$$

上記の (12) 式に前記 (6) 式～(10) 式を代入し、 S に関する自己相関電力を "1" とし、また1シンボル以上離れた場合の自己相関を "0" とおいて計算を

$$\begin{aligned} W_{-2} &= E [(\dots + h_2 S_0 + h_0 S_1 + h_{-2} S_2 + \dots) \cdot S_0] \\ &= h_2 \end{aligned} \quad (13)$$

$$\begin{aligned} W_{-1} &= E [(\dots + h_3 S_{-1} + h_1 S_0 + h_{-1} S_1 + \dots) \cdot S_0] \\ &= h_1 \end{aligned} \quad (14)$$

【0007】

は、そのタップ係数を推定することであり、通常の手法は下記ようになる。

【0010】まず、レプリカフィルタに判定データ信号を入力し、受信入力信号を推定する。次に、この推定信号と実際の入力信号との誤差をとり、この自乗平均を最小とするアルゴリズムにより整合フィルタのタップ係数を推定する。しかし、図2に示す適応受信機内の適応整合フィルタ40₁～40_Nのそれぞれは、もっと容易に整合フィルタタップ係数を推定するために、レプリカフィルタを用いるのではなく、判定データ信号による相関法を用いている。

【0011】すなわち、この相関法について説明するに送信側にて送信シンボル系列 $\{S_n\}$ を $\dots, S_{-2}, S_{-1}, S_0, S_1, S_2, \dots$ の順でT周期毎に送信した場合、受信信号はこの送信シンボル系列と伝送路インパルス応答 (図3 (A)) との畳み込み演算で与えられる。このときの図2の適応整合フィルタ40₁の各タップ上の受信信号 $r_{-2}, r_{-1}, r_0, r_1, r_2$ は次式のようにになる。

【0012】

タップ係数とする。すなわち、 i 番目のタップ係数 W_i は次式で表される。

【0013】

$$(11)$$

のタップ係数 W_i は次式で表される。

【0014】

$$(12)$$

進めると、次式のようにになる。

【0015】

$$= h_0 \quad (15)$$

$$W_1 = E [(\dots + h_1 S_{-1} + h_{-1} S_0 + h_{-3} S_1 + \dots) * S_0]$$

$$= h_{-1} \quad (16)$$

$$W_2 = E [(\dots + h_2 S_{-2} + h_0 S_{-1} + h_{-2} S_0 + \dots) * S_0]$$

$$= h_{-2} \quad (17)$$

上記の(13)式から(17)式の相関演算結果は、整合フィルタとして動作するためのタップ係数を示す

(1)式から(5)式と一致することが分る。従って、レプリカフィルタを用いなくても、タップ修正回路44における相関演算式((11)式)により適応整合フィルタのタップ係数が求められる。

【0016】整合フィルタリングでの第2のポイントは、タイミング制御機能を有していることである。このタイミング機能はトランスバースフィルタを分数間隔にすることで実現されることが良く知られている。ここで、分数間隔とは図2の遅延素子41₁～41₄の遅延時間をシンボル周期Tの半分の値に設定することを示す。

【0017】また、タイミング制御機能とは、伝搬路で変動を受けた受信信号タイミングを受信機のクロックタイミング位相に合わせることをいう。具体的には、送信したシンボルはそれぞれ独立なダイバーシチブランチを伝搬する。各ブランチの伝搬経路は時間変動しており、伝搬遅延時間は刻々と変動している。そのため、各ダイバーシチブランチの受信シンボルの受信タイミングは独立な変動を受け、一致しない。

【0018】従って、そのままダイバーシチ合成したのでは、各ブランチの主応答が一致せず、合成インパルス応答はマルチパスによる遅延分散だけでなく、このブランチ間のタイミングずれによる分散が加算されることになる。このことは、合成インパルス応答がナイキストの無歪条件から更に外れることを意味する。従って、各ブランチ間のタイミングずれを吸収する必要がある。そこで、分数間隔トランスバースフィルタである図2の適応整合フィルタ40₁～40_Nは下記の動作によりタイミング位相ずれを吸収する。

【0019】遅延素子41₁～41₄で構成された各タップ上には、受信信号 r_{-2} 、 r_{-1} 、 r_0 、 r_1 、 r_2 の順に分布している。これらは互いにT/2間隔でサンプリングされた受信信号である。従って、中央タップの受信信号 r_0 に着目した場合、(8)式中のシンボル S_0 は(7)式及び(9)式に示すように前後のタップ上の受信信号 r_{-1} と r_1 にも分布している。

【0020】ここで、(7)式で示される受信信号 r_{-1} 中の S_0 は、中央タップの受信信号 r_0 中の S_0 よりもT/2だけ時間的に遅れている。一方、(9)式で示される受信信号 r_1 中の S_0 は、中央タップの受信信号 r_0 中の S_0 よりもT/2だけ時間的に進んでいる。この場合、タップ係数 W_1 の方をタップ係数 W_0 よりも大き

く進めることが可能である。逆に、タップ係数 W_{-1} の方を W_0 よりも大きくした場合、中央タップよりも時間的に遅れた S_0 が合成器43から出力されるため、等価的に S_0 のタイミングを遅らせることが可能である。

【0021】従って、適応整合フィルタはこの性質を利用してタイミング制御を行い、各ダイバーシチブランチの受信シンボルの受信タイミングを一致させ、効果的なダイバーシチ合成を可能とするものである。

【0022】ところで、タイミング制御のためのタップ係数 W_1 は、前記第1のポイントの相関法により求められている。前記した相関法では、判定帰還形等化器30の出力判定データSを利用している。この判定データSのタイミングは、判定帰還形等化器30に内蔵されているクロック再生回路のタイミングに基づいている。従って、適応整合フィルタの相関処理はすべてこの判定データSから抽出した受信クロック、すなわち判定帰還形等化器30内のクロック再生回路のクロック位相のタイミングに支配されることになる。

【0023】このことを図3にて説明すると、受信クロックの立ち上がりタイミングは、図3(B)の時刻 $t=0$ に対応する。また、これを中心としてT/2間隔に配列された各タップによる整合フィルタリングにより、整合フィルタ出力では図3(C)に示すように、正常動作時には前記したように、主応答が基準タイミング($t=0$)に位置するようになる。この動作がまさしく適応整合フィルタによるSN比の最大化であると同時に、タイミングを基準タイミング($t=0$)に位相合わせするタイミング機能である。

【0024】

【発明が解決しようとする課題】しかるに、上記の従来の適応受信機は、上記のように受信クロックでリタイミングされた判定データを帰還して適応整合フィルタ40₁～40_Nを動作させており、判定帰還形等化器30内のクロック再生回路のクロック位相に支配されているため、クロックを媒体としたフィードバック系が構成されていることから、上記クロック再生回路のクロック位相がフェージングその他何らかの原因で多少ずれたとき、適応整合フィルタ40₁～40_Nに帰還されている判定データSのクロック位相も多少ずれ、適応整合フィルタ40₁～40_Nそれぞれのタイミング制御をずらせてしまう。

【0025】このタイミング制御のずれは、主応答であるところの基準タップ係数 W_0 を多少小さくし、その代わり前後のタップ係数 W_{-1} 及び W_1 のいずれか一方のタ

応整合フィルタ $40_1 \sim 40_N$ の出力における伝送系インパルス応答の主応答が図3 (C) に示した時刻 $t=0$ から前後いずれかの方向に多少ずれる。すると、このずれが判定帰還形等化器30内部のクロック再生回路に入力され、受信クロック位相がまたずれる。

【0026】このように、従来の適応受信機ではクロックを媒体としたフィードバック系が構成されているため、クロック再生回路のクロック位相のずれはループを伝搬して再びクロック再生回路に帰還され、クロック位相ずれの増大現象が発生する。適応整合フィルタ $40_1 \sim 40_N$ それぞれは $T/2$ 間隔でタップが構成されているので、タイミング制御はエンドレスな動作が可能である。従って、上記クロック位相ずれの増大現象は、主応答が整合フィルタの片端に落ち着くまで続くことがある。

【0027】図3 (D) は上記のクロック位相ずれにより、クロック位相が T だけずれた場合の適応整合フィルタの出力における伝送系インパルス応答の一例を示す。同図 (D) に示すように、基準タップがトランスバーサルフィルタ中央ではなく、第1タップ目の W_2 に位置する場合を示している。

【0028】この場合、図3 (D) のインパルス応答は $h^* (-t+T)$ となり、適応整合フィルタのための本来の時間反転複素共役 $h^* (-t)$ よりも T だけずれている。従って、伝送路応答の後縁 (Postcursor) である h_1 、 h_2 の情報が図3 (D) のインパルス応答に含まれておらず、複素乗算器で乗ずることができない。このため、正しい整合フィルタリングが行われず、適応整合フィルタ出力では図3 (E) に示すように、インパルス応答の対称化及び時間分散エネルギーの収束が行われないこととなる。この動作は伝搬によるマルチパス歪みの影響以上に悪影響を自ら作り出してしまふ。

【0029】このように、従来の適応受信機は、受信クロック位相を媒体としたフィードバック系が構成され、適応整合フィルタ $40_1 \sim 40_N$ のタイミング機能との相互作用により適応整合フィルタ $40_1 \sim 40_N$ の基準タップ位置が不安定となり、中央タップからシフトし、正常な整合フィルタ機能が損なわれることがあるという問題がある。

【0030】本発明は上記の点に鑑みなされたもので、基準タップ位置の複素乗算器を適応整合フィルタの最終出力段に設けることにより、上記の課題を解決した適応受信機を提供することを目的とする。

【0031】

【課題を解決するための手段】上記の目的を達成するため、本発明は別々に受信された入力信号が供給される複数の適応整合フィルタにより信号対雑音電力比を最大化した信号を、合成器を通して判定帰還形等化器に入力

定データを取り出すと共に、判定データにより前記複数の適応整合フィルタのタップ係数を修正する構成の適応受信機において、前記複数の適応整合フィルタのそれぞれを、遅延手段、第1の乗算手段、合成手段、第2の乗算手段、及びタップ係数修正回路を有する構成としたものである。

【0032】ここで、上記の遅延手段は入力信号を $T/2$ (ただし、 T は入力信号のシンボル周期) 単位で遅延して互いに異なる遅延時間の複数の遅延信号を出力する。また、第1の乗算手段は、前記入力信号と複数の遅延信号のうち、遅延時間が中央値である基準タップの遅延信号を除く他の遅延信号と前記入力信号に対し、それぞれ対応する第1のタップ係数を別々に乗ずる。また、上記合成手段は第1の乗算手段の出力信号及び前記基準タップの遅延信号をそれぞれ合成する。第2の乗算手段は合成手段の出力信号に対して前記基準タップの遅延信号に乗ずるべき第2のタップ係数を乗じて前記合成器へ出力する。更に、前記タップ係数修正回路は前記判定データと前記複数の遅延信号との相関演算により前記第1及び第2のタップ係数を逐次算出する。

【0033】

【作用】本発明では、前記遅延手段からの複数の遅延信号及び入力信号のうち基準タップの遅延信号に対して乗ずるべき第2のタップ係数は、前記第2の乗算手段により前記合成手段の出力合成信号に乗ずることにより、各ダイバーシチブランチの最大比合成を実現するようにしている。また、前記第1の乗算手段により前記複数の遅延信号のうち基準タップ以外のタップ位置の遅延信号に対して、従来のタップ係数を上記第2のタップ係数で正規化した第1のタップ係数を乗ずることにより、各ダイバーシチブランチにおける整合フィルタリングを実現するようにしている。

【0034】従って、本発明では第1の乗算手段により乗算される第1のタップ係数は、前記第2の乗算手段により乗算される第2のタップ係数よりも小さな値とすることができるため、基準タップ位置を常に適応整合フィルタの中央タップ位置に保持することができる。

【0035】

【実施例】次に、本発明の一実施例について説明する。図1は本発明の一実施例の構成図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。図1において、 N 個 (N は2以上の自然数で、通常は2のべき乗) の適応整合フィルタ $10_1 \sim 10_N$ が N 個の入力信号に1対1に対応して設けられている。この入力信号は、例えばマイクロ波帯の N 基の受信アンテナで受信された信号を別々に周波数変換して得たベースバンド信号である。

【0036】この適応受信機は各ダイバーシチブランチの適応整合フィルタ $10_1 \sim 10_N$ により、ベースバン

後、合成器で最大比合成することにより信号強化を行い、合成器 20 によるダイバーシチ合成後の残留符号間干渉を判定帰還形等化器 30 により除去し、判定帰還形等化器 30 からダイバーシチ合成及び復調されたデータ（判定データ）を出力する構成である基本動作は従来と同様であるが、適応整合フィルタ $10_1 \sim 10_N$ の構成が従来の適応整合フィルタ $40_1 \sim 40_N$ と異なる。

【0037】適応整合フィルタ $10_1 \sim 10_N$ はそれぞれ同一構成であるため、適応整合フィルタ 10_1 について代表して説明すると、図 1 に示すように、適応整合フィルタ 10_1 は縦続接続された、各々遅延時間が $T/2$ （ T はシンボル周期）の遅延素子 $11_1 \sim 11_4$ と、遅延素子 11_1 及び 11_2 の入力信号が分岐して入力される複素乗算器 12_1 及び 12_2 と、遅延素子 11_4 の入出力信号がそれぞれ入力される複素乗算器 12_3 及び 12_4 と、これら複素乗算器 $12_1 \sim 12_4$ の出力信号と遅延素子 11_2 の出力信号とをそれぞれ合成する合成器 13 と、合成器 13 の出力側に設けられた複素乗算器 14 と、タップ係数修正回路 15 とより構成されている。

【0038】すなわち、本実施例の適応整合フィルタ 1

$$W_0 = E[r_0^* \cdot S]$$

（ただし、上式中、 r_0 は基準タップの遅延信号）これにより、基準タップのみに着目した場合、従来通りの振幅位相制御が可能となる。

【0042】ただし、複素乗算器 14 は合成器 13 の出力合成信号に対して（18）式のタップ係数 W_0 を乗算するため、基準タップ以外のタップからの信号に対しても上記のタップ係数 W_0 が共通に乗算されてしまう。すなわち、適応整合フィルタ 10_1 のタップ係数 W_k （た

$$W_k = E[r_k^* \cdot S] \quad W_0$$

上式から分るように、第 1 のタップ係数 W_k は第 2 のタップ係数 W_0 で正規化されている。

【0045】これにより、基準タップ以外の信号に対しては、複素乗算器 $12_1 \sim 12_4$ では（19）式で表されるタップ係数 W_k が乗じられ、更に複素乗算器 14 でタップ係数 W_0 を乗じられることにより、最終的に正規の適応フィルタリングのためのタップ係数を乗じられたのと等価となる。

【0046】上記のタップ係数 W_0 は（18）式に示すように、基準タップの遅延信号 r_0 と判定データ S との相関値であり、本来伝送路インパルス応答の主応答成分を含む。従って、この相関値は他のタップ係数による値よりも大きくなる。また、タップ係数 W_k は（19）式に示すように、基準タップ以外の信号 r_k と判定データ S との相関値を W_0 で正規化した値である。従って、複素乗算器 $12_1 \sim 12_4$ の各出力信号は、基準タップの遅延信号 r_0 よりも振幅が小さくなる。

【0047】このことは、基準タップ位置が常に適応整合フィルタ 10_1 の中央タップ位置に保持され、また他

0_1 では、前記遅延手段を構成する遅延素子 $11_1 \sim 11_4$ の入力信号あるいは出力信号が入力される前記第 1 の乗算手段を構成する複素演算器は $12_1 \sim 12_4$ からなり、基準タップとなるべき中央タップには設けられていず、基準タップの遅延信号である遅延素子 11_2 の出力信号は常時そのまま合成器 13 に入力されるため、基準タップが確保されることになる。

【0039】しかし、このまま基準タップから複素乗算器を外したままであると、基準タップに該当する信号に対して振幅位相の制御をかけられず、整合フィルタとして機能しないばかりか、ダイバーシチの最大合成すら不可能となる。

【0040】そこで、本実施例では基準タップから複素乗算器を外した代わりに、複素乗算器 14 を適応整合フィルタの最終出力段、すなわち合成器 13 の出力側に設けている。この複素乗算器 14 は前記第 2 の乗算手段を構成し、乗算する第 2 のタップ係数 W_0 がタップ係数修正回路 15 により次式により求められる。

【0041】

$$(18)$$

ただし $k = -2, -1, 1, 2$ に W_0 を乗じたタップ係数を各タップの信号に乗じることになり、そのままでは正常な適応整合フィルタリングが不可能となってしまう。

【0043】そこで、本実施例では複素乗算器 $12_1 \sim 12_4$ で乗ずるべき第 1 のタップ係数 W_k は、タップ係数修正回路 15 により次式に基づいて算出される。

【0044】

$$(19)$$

cursor) 又は後縁に時間反転複素共役で対応することを意味する。従って、本実施例によれば、判定帰還形等化器 30 内のクロック再生回路の出力クロックの位相が多少ずれたとしても、基準タップ位置が適応整合フィルタの中央位置からシフトすることはなく、常に適応整合フィルタ出力のインパルス応答の主応答を、基準タイミング位置に保持することができ、前記したクロック位相ずれの増大現象を未然に防止することができる。

【0048】

【発明の効果】以上説明したように、本発明によれば、判定帰還形等化器内のクロック再生回路の出力クロックの位相が多少ずれたとしても、基準タップ位置を常に適応整合フィルタの中央タップ位置に保持することができ、クロック位相ずれの増大現象を未然に防止することができ、従って常に安定した適応整合フィルタリングをさせることができる。従って、本発明によれば、最小位相推移又は非最小位相推移フェージングなどの厳しいマルチパスに対しても、安定した適応等化とタイミン

従来に比しより一層安定な受信動作ができるものである。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図である。

【図2】従来の一例の構成図である。

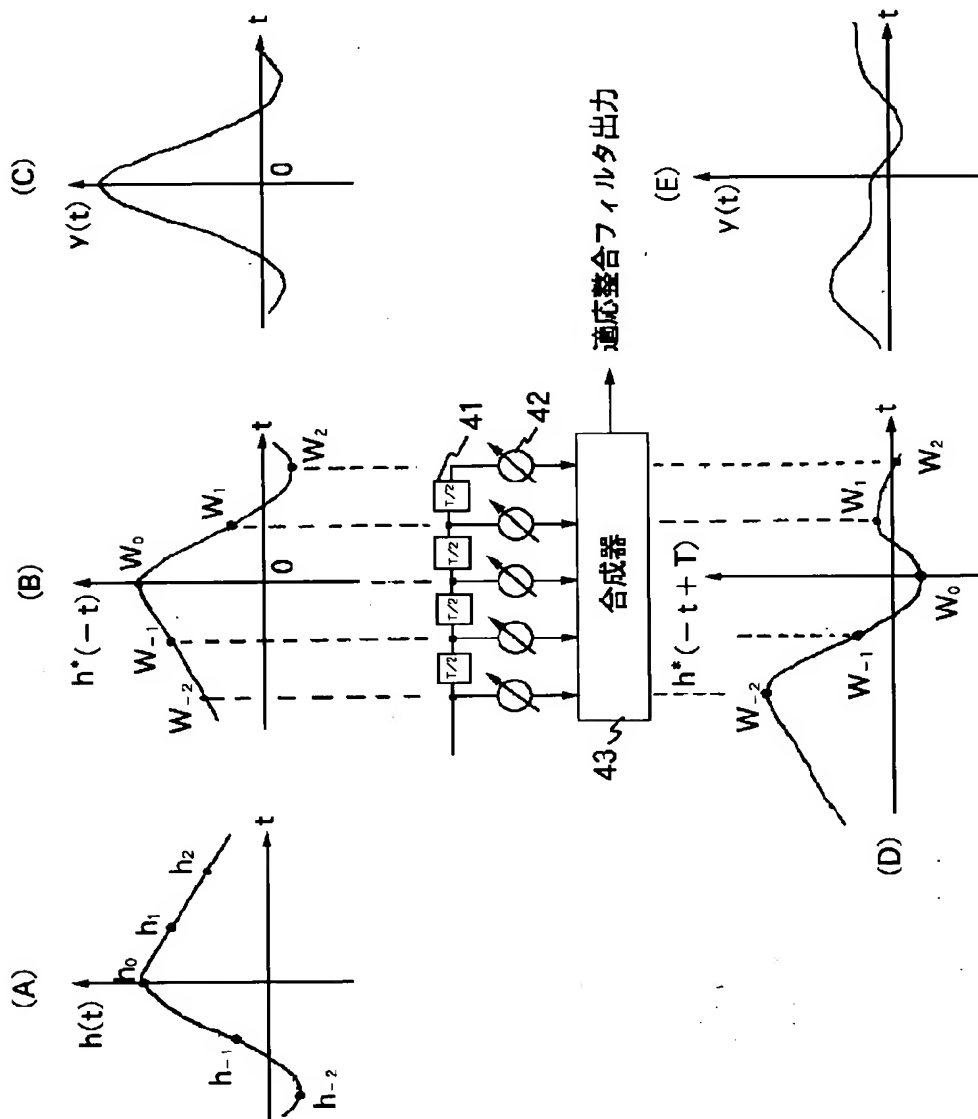
【図3】適応整合フィルタの動作と従来の課題を説明するための図である。

【符号の説明】

10₁ ~ 10_N 適応整合フィルタ
11₁ ~ 11₄ 遅延素子
12₁ ~ 12₄ 第1の複素乗算器
13、20 合成器
14 第2の複素乗算器
15 タップ係数修正回路
30 判定帰還形等化器

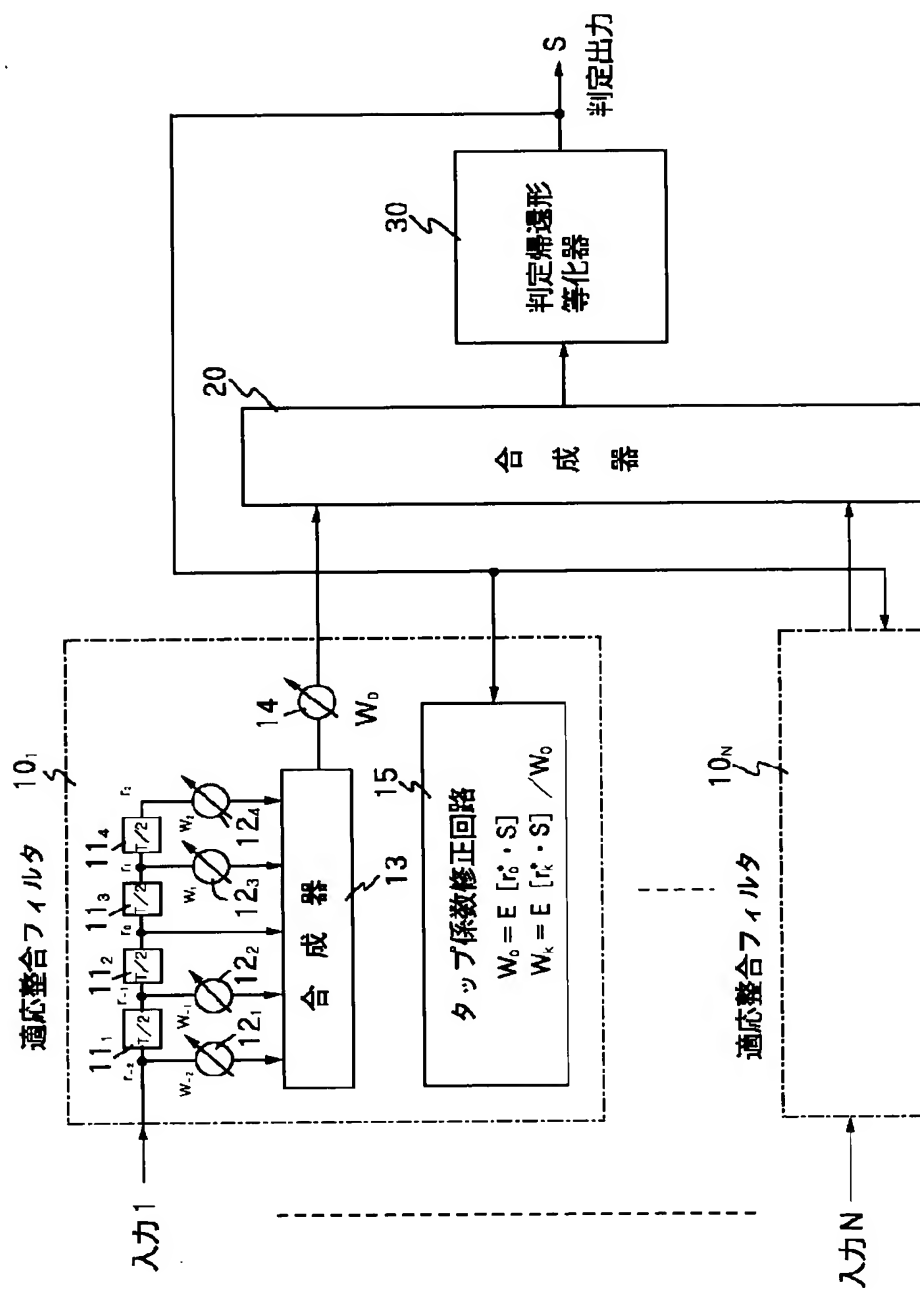
【図3】

適応整合フィルタの動作及び従来の課題を説明する図



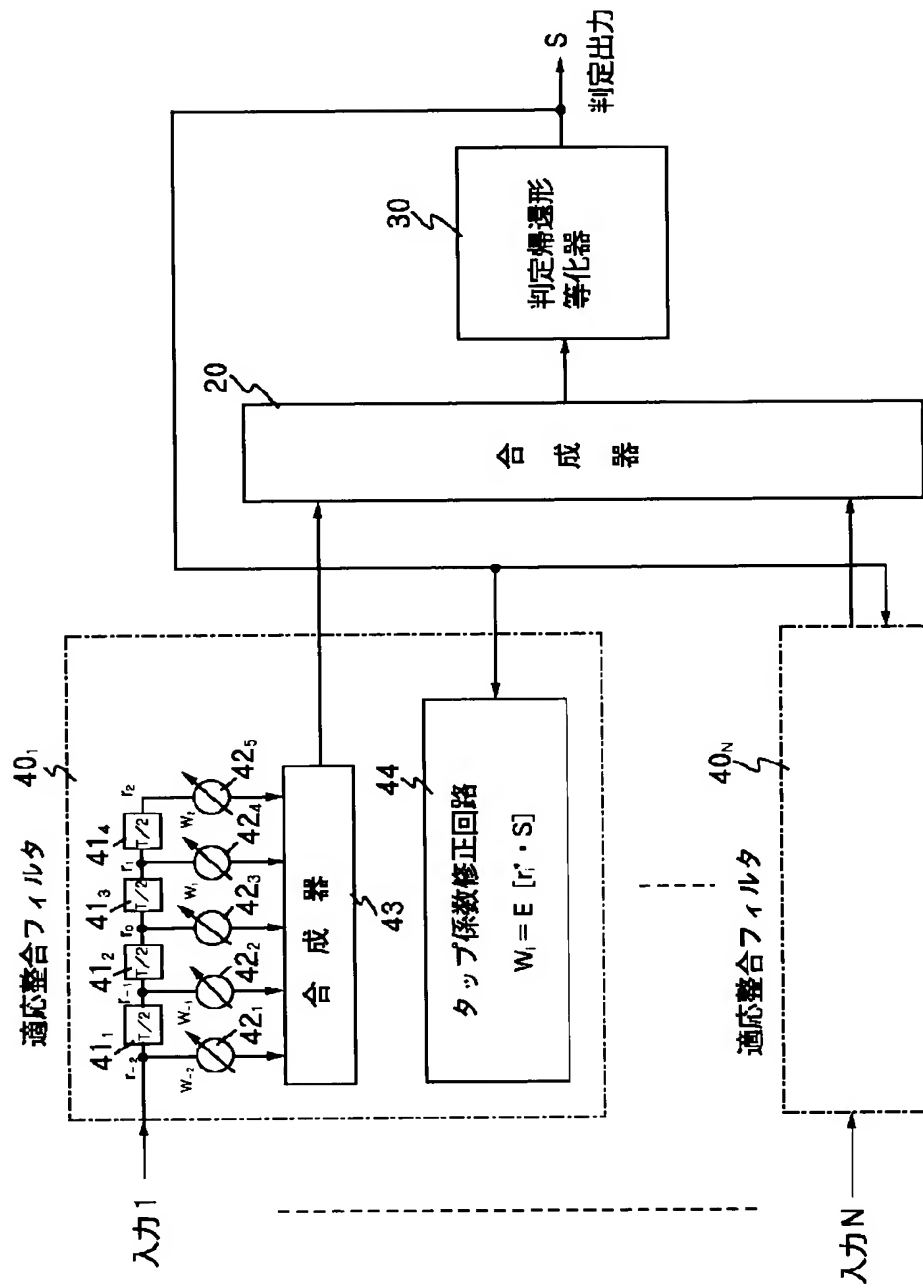
【図 1】

本発明の一実施例の構成図



【図 2】

従来の一例の構成図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-188568

(43)Date of publication of application : 04.07.2000

(51)Int.Cl.

H04B 7/08

H01Q 3/26

H04B 1/10

H04B 7/10

H04B 7/26

H04L 1/06

(21)Application number : 11-288109

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.10.1999

(72)Inventor : KOGA HISAO
TAROUMARU MAKOTO

(30)Priority

Priority number : 10290359

Priority date : 13.10.1998

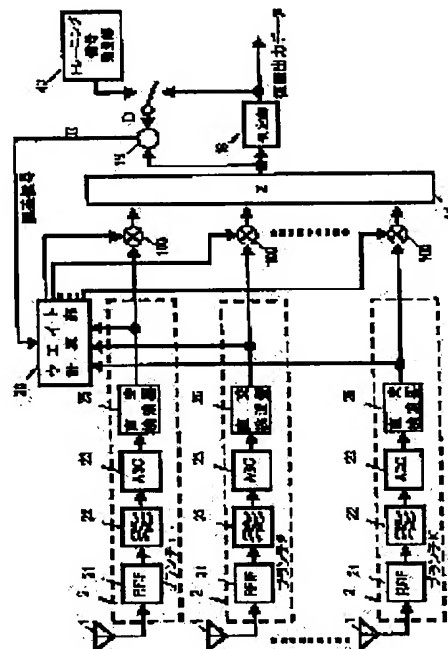
Priority country : JP

(54) RECEIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To allow a receiver adopting a time division transmission system to conduct adaptive array diversity reception with simple signal processing at a high convergence speed of synthesis weight.

SOLUTION: A reception circuit 2 converts a signal received by each antenna (branch) 1 into a base band signal and a complex multiplier section 100 and a complex adder section 15 synthesizes the base band signals. A weight calculation section 30 calculates the weight of the complex multiplier section 100. In a weight update algorithm of the weight calculation section 30, the step size in the LMS is variable. That is, the initial value is set to a large value and the set value is decreased with the lapse of time in each time slot and the value is initialized every time a time slot is changed. Thus, the convergence speed of updating the weight is increased at an arithmetic quantity nearly equal to that for a conventional LMS.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]